



ACRi

ACTIVITY REPORT

ACRi
アクティビティ
レポート

Vol.14

2023.12.31発行

ACRiアクティビティレポートは、ACRi(アダプティブコンピューティング研究推進体／Adaptive Computing Research Initiative)の活動報告や最新の技術成果を公開するオープンなメディアです。FPGAの可能性に興味を持たれたすべての方に向けて、定期的にリリースしていきます。

第13回 ACRiウェビナー: FPGAで加速するRoboticsの未来

2023年7月18日、13回目のACRi主催ウェビナーがライブ配信されました。

13回目となる今回のウェビナーは、高速なデジタル信号処理とアナログ信号処理を合わせた、ミックスド・シグナルについての実例を、お二人のエキスパートに解説していただきました。構成としては、FPGAと高速なADC/DACを組み合わせたもので、これは、多数のI/Oピンを同時に高速で動作可能なFPGAの特徴を活かした利用方法の一つです。

招待講演1: FPGAによる短波海洋レーダの実装と展開

講演者 長名 保範 先生
熊本大学 半導体・デジタル研究教育機構 准教授



短波海洋レーダーは、沿岸域の海流を陸上設置のレーダー局により、準リアルタイムかつ面的に得られる観測装置。従来用いられてきたブイと比べて広い範囲をカバーできることや、設備へ陸路でアクセスできることによる保守の容易さが特長です。しかし、従来国内で運用されてきた短波海洋レーダーの多くは海外製で高価でした。そこで我々の研究グループではFPGAを用いたソフトウェア無線技術により短波海洋レーダーを内製化し、国内数力所に展開中。Webinarではこの短波レーダーの実装や、現在得られているデータの状況などについて紹介しました。

■短波海洋レーダーの作動原理-1：
陸から海に向かって電波を照射。波による後方散乱波を受信し、FFTで距離方向に分解。(▶11:38)

■短波海洋レーダーの作動原理-2：
いろんな角度から入ってくる電波を観測することで(図例:角度θからは、



n番目のアンテナにndsinθ遅れて到達)、広い範囲の観測が可能。アンテナ1局では視線方向の流速のみが見えるが、2局以上あるとベクトル合成により流れの方向を計算できる。(▶14:22)

■短波海洋レーダーの作動原理-3：
FMICWレーダーを使用し、一定間隔



で送信をON/OFF。送信OFFの時だけ受信することで、送信アンテナからの強い直達波を受信アンテナは拾わず、海から反射して戻ってくる観測対象の電波だけを受ける。送受信の周波数差で距離を測定(1Hz差で1.5km)。

■距離ごとの成分を取り出し、ドップラースペクトルを得る。これを観測すると海流や風向きが分かり、波浪の高さも推定できる。

■短波レーダーは13Mhz帯と24Mhz帯。従来はアナログ受信機で、あまり急峻な特性は作れなかった。そこで

FPGA版送受信機を作ろうと考えた。送信はDDSを使用。sin,cosを生成、XilinxのFPGA向けIPコアで実装。受信はアンプとBPFまでがアナログで、デジタルフィルタによって直接ベースバンド信号を生成。

■レーダーを製作し、免許を取り、アンテナを建設。実験結果を経て、現在は小型化と低コスト化に注力。現在は新潟、静岡、函館にレーダーを設置し、今後は全国各地に展開する予定。

詳細はYouTube動画をご覧ください
<https://youtu.be/rn0oRtwuiAU?t=319>

招待講演2: FPGAと高速ADCを使った物理計測の世界

講演者 内藤 竜治 さん
特殊電子回路株式会社 代表取締役



FPGAとADCを組み合わせれば物理現象をリアルタイムに計測・制御できると思われているが、言うほど簡単ではありません。アナログとデジタルが融合する領域には様々な技術的な壁が立ちかかるためです。本講演では、当社で開発したCosmo-Zというデータ計測収集装置を題材に、ノイズ、歪、エイリアシングなど測定を邪魔する様々な問題とその解決方法を紹介。そして、54Gpsの等価時間サンプリングや、μV以下の微弱信号測定、放射線計測における「アナログでは実現できないフィルタ」、超高速FFTなど、FPGAを用いた計測ならではの応用事例を紹介しました。

■ADC回路を適当に作ると…

- 精度が出ない
- 歪だらけ
- 0を0と言わない
- フルスケールまで使えない
- リニアリティが出ない

■何が原因…

- 特性が出ない原因は、ほぼアナログフロントエンド
- ノイズの原因は、ほぼデジタルとのインターフェイス
- 歪はLPFで平滑化しても消せない

■アナログフロントエンドに関する誤解と正しい問題解決

◎CPUやFPGAの内部の計算のスイッ

チングが最大のノイズ源で、GNDや空間を飛んでノイズが入ってくる(正:ノイズ源は異なる) >>> ノイズはADCの中からくる

◎ADCの入力端子は入力(正:入力ではない) >>> ADCの入力が電荷を引っこ抜き、歪の原因になる。VREFも同様に歪の原因。 >>> そこで、OPアンプとADCの間にCRを入れ、引き抜かれる電荷を供給することで高調波歪を消す

◎レールツーレールOPアンプは電源電圧まで出せる(正:出せない) >>> フルスケールは出ないので、ADCの入力可能な電圧よりも少し高めの電

圧を使う。

◎ADCのDVDDはデジタル電源(正:デジタル電源ではない) >>> ADC内部でアナログ電源とデジタル電源はつながっている >>> ADCの出力信号がFPGAの入力端子を充電するために流れる電流がノイズの原因 >>> ADCのDVDDはアナログ電源として扱い、バッファICと電流制限抵抗をADC-FPGA間に入れる >>> 18bitADCで±1.5LSB(40μV)のノイズ、-100dBの歪率に低減

■性能の良いFPGA×ADCを作るのは難しい

そこで特殊電子回路は、FPGAに標準的な計測回路をあらかじめ組み込みアナログの難しい部分がすぐに動くボードとしてCosmo-Zを提供している >>> ADC本来の性能を活かすアナログ・フロントエンド



詳細はYouTube動画をご覧ください
<https://youtu.be/rn0oRtwuiAU?t=2586>



第14回 ACRiウェビナー: FPGAの特徴を活かす

2023年10月24日、14回目のACRi主催ウェビナーがライブ配信されました。

今回のウェビナーのテーマは「FPGAの特徴を活かす」です。コンピュータサイエンスに限らず、様々な学術分野の研究においてFPGAの利活用が広がっています。そこには、FPGAの持つ特性や利点を知り尽くした研究者の方々が、本来の研究課題をより効率的に進めるための「工夫」として、FPGAを活用されている例が多く見られます。今回は、学術分野からお二人の先生がご登壇。FPGA活用のポイントについて紹介頂きました。

招待講演1: システムプロトタイピングに向けたFPGAへの期待

講演者 和田 康孝 先生

明星大学 情報学部情報学科 データサイエンス学環 教授



アプリケーションの要求に応じて低電力・高性能なシステムを実現するためには、ロジックとメモリの両方を考慮して全体構成を検討・プロトタイピングすることが必要不可欠となります。そのための便利なプラットフォームとして、FPGAは広く利活用されています。本発表では、和田先生が大塚寛治先生(明星大学名誉教授)のグループと連携して検討を進めているMLCS(Memory-Logic Conjugated System)およびSRAMベースのCAM(連想記憶メモリ)技術について、FPGAを用いたプロトタイピングの取り組みを紹介しました。

■コンピュータシステムの

高効率化が研究目的

アプリケーションを意識したシステム構成が重要>>>いろいろ試すことが必要になり、短期間でプロトタイピングと修正もできるFPGAの出番となる

■MLCS (Memory Logic Conjugated System: メモリ・論理共役システム)

・メモリとロジックの垣根を無くして、さまざまな要求内容に応じて性質を変えるアーキテクチャをつくるのが狙い

・システム全体がアレイ状の構成を取り、各セルはロジック・メモリの役をアシリに応じて選択的・動的に変更可能>>> MLCSによる積和演算の実例

(▶13:26)

■FPGAによるMLCSの

プロトタイピングの特徴と課題
・ロジックもルックアップテーブルとして実現、演算もメモリアクセスとして実現(全ての処理オーバーヘッド)

SRAMベースCAMのデータ登録方法

(▶29:23)



ドがSRAMレイトエンサーに基づく)

・演算器よりもメモリの物量が上限を規定

(▶29:23)

■SRAM-based CAM Structure with Data Randomization

・実現に向けて検討中の、SRAMをベースとした高速なCAM構造をうまく実現できないかという内容
・CAMとは、検索エンジンと同様な考え方で動作する、データの一部を指定することで記憶装置からその一部若しくは全体を読み出せるメモリ>>> 従来のCAM構造では消費電力が、SW実装でもハッシュ関数等のオーバーヘッドが問題に>>> ガロア体の考え方に基づく拡散処理により、ハッシュ処理を含めHW化して高速化、かつデータ

のランダム化が可能となり、メモリの利用効率を向上させる(低レイトエンサーのCAMを実現)

■従来のCAMと

提案方式CAMの比較

・従来CAM>>> 全メモリ空間を選択し、キーデータと同じ登録データのエンタリアドレスを検索>>> CAM全体がアクティブになることから消費電力大サイズ大
・提案方式>>> 拡散処理によるランダム化で、ハッシュ処理をHW化して高速化、かつメモリ量を減らすことが可能

・今後は高位合成を用いてFPGA実装へ

詳細はYoutube動画をご覧ください
<https://youtu.be/nwS63bgTKbc?t=307>

招待講演2: FPGAによるストリーム型リアルタイム画像処理

講演者 柴田 裕一郎 先生

長崎大学 副学長 情報データ科学部教授



FPGAはアプリケーションに合わせて自由に論理回路をプログラムできることから、電力効率に優れた計算アクセラレータとして近年注目を集めています。一方で、FPGAの論理回路としての汎用性には、さまざまな入出力デバイスとのインターフェースをダイレクトに構成できるという特徴があり、演算機構と入出力機構をストリーム状に密結合した上でアプリケーションに合わせて最適化できるというメリットがあります。このような計算構造は、センサやアクチュエータを通じてリアルタイムに外界とのやりとりを行うサイバーフィジカルシステムとの親和性が高くなります。本講演では、このような文脈におけるリアルタイム画像処理に焦点を当てながら、FPGA利用の可能性や魅力を語って頂きました。

■FPGAの基本概要

・コンピュータアーキテクチャに柔軟性を導入できる
・数理の世界と物理の世界の最適なインターフェイスを模索するのに適す
・特にストリーム型画像処理とは相性が良い

(▶59:02)

ライン化できる、多くの科学技術計算にも応用できる>>> リアルタイム画像処理への応用

■FPGA適用例-1:

腹腔鏡自動制御システム
・独自の医療画像セグメンテーション用CNN(畳み込みニューラルネットワーク)を設計。内視鏡から取得した映像から手術対象周辺部位の座標を取得し、それを基にロボットアームで内視鏡の画角を自動調整

(▶1:12:25)

腹腔鏡自動制御システム

(▶1:11:25)



■FPGA適用例-2:

医療用振戻抑制システム

・眼科手術を難しくする振戻(微細な震え)を抑制する目的で網膜画像からFPGAを使って振動情報をリアルタイムに抽出。ノイズキャンセル(加振装置)で逆位相を作って震えを止める

■FPGA適用例-3:

ビジュアルサーボ型自動運転制御
・イメージセンサによる視覚情報のみを使った自動運転制御ロボット

HDR(ハイダイナミックレンジ合成)

(▶1:17:00)



ト。路面の幾何学的情報を抽出し、FPGAが認知・判断・制御を担う

■FPGA適用例-4: HDR(ハイダイナミックレンジ合成)

・画像を合成し適切なダイナミックレンジに処理するような画像処理を行なう際、適応差分符号化(ADPCM)を用いた画像圧縮技術でBRAM使用量を削減

■FPGA適用例-5:

交通誘導警備のインテリジェントシステム化

・交通誘導警備の人手不足問題>>> 現場でのバッテリーの小型化要求>>> 画像認識に配分される電力は小さい>>> FPGAが解決手段か?

詳細はYoutube動画をご覧ください
<https://youtu.be/nwS63bgTKbc?t=2661>



ACRiイベントレポート

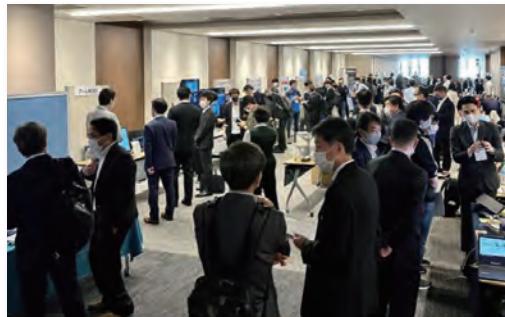
2023年11月、横浜市と川崎市において、2つの先端電子技術関連のイベントが相次いで開催。ACRiもブース展示やデモ等を通じて多くの参加者と交流を持ちました。

◆ Design Solution Forum 2023(DSF)

組み込みシステムにおけるソフトウェアおよびハードウェアのデザイン手法をエンジニア同士で議論する場として、2014年にスタートした技術フォーラム

- 開催日時：2023年11月22日(水)
- 開催場所：川崎市コンベンションホール
- <https://dsforum.jp/2023/>

昨年に続き、Design Solution Forum(DSF)とのコラボレーションを実施致しました。30分間の特別講演枠とACRi専用展示ブースを頂き、ACRiの活動状況をDSF来場者の方々に紹介しました。(当日来場者377名、オンライン参加者554名)



参加者からのコメント

特別講演では信州大学の佐藤先生により、ACRiの活動状況、共同研究事例、第二期の活動方針などをご説明頂きました。また、ACRi専用展示ブースでは、Giga ComputingがAI推論デモを展示されたほか、特殊電子回路が半導体真贋判定用テスターを展示され、迫力のあるテスター筐体が来場者の目を引いていました。また、佐藤先生の講演を聴かれた一般企業の方より後日お問合せがあり、ACRi活動状況と入会方法について改めてご説明致しました。



◆ EdgeTech+ 2023

事業変革期を迎えた今、エッジテクノロジーに新たなプラスで顧客起点の価値創出を実現する

- 開催日時：2023年11月15日(水)～17日(金)
- 開催場所：パシフィコ横浜
- <https://www.jasa.or.jp/expo/>

AvnetのブースにてACRi Roomの疑似環境として、V70によるAIと、Artyによるデバッグ環境のデモを実施。他のデモ展示と連動した形で、エッジからクラウドまで共通環境での開発が可能なプラットフォームとして紹介しました。



参加者からのコメント

Avnet Edge Computing Platformとして展示したデモと連動したご紹介により、ハードウェアアクセラレートの価値をご理解頂き、AMD製品のAlveo™やKria™、SoMやFPGA・適応型SoC製品を利用するアプリ開発の検討・評価において、初期段階でご利用可能な環境である点を訴求。見た目にも分かりやすいデモだったこともあり、FPGAユーザーだけでなくソフトウェアやシステム開発者、Slrなど幅広い層に興味を持って頂き、ACRiとACRi Roomについて認知度を上げることができました。





ACRi ブログ

このコーナーでは、
今月の注目ACRiブログを
ピックアップします。

■ ACRI ルーム・ハンズオン：HLS 入門(1) イベントレポート

執筆者:ザイリンクス株式会社(AMD-Xilinx) 安藤潤 様

2023年6月17日(土) 15:00-17:00、東京工業大学 情報工学系の計算機室(大岡山キャンパス)において「AcRI ルーム・ハンズオン: HLS 入門」を開催しました。10名が参加して HLS による回路設計を体験した当日のレポートをお届けします。

www.acri.c.titech.ac.jp/wordpress/archives/13259



例題 2-2：ジョンソン：地図 2 頁 (1) ブロック 1 の

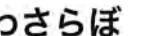


數值報告

スタートから2年の2022年12月末で1000ユーザーに到達、2023年も着実にユーザー数が伸びました。



ACRi 參加團體

創設企業 7	 アヴネット株式会社	 ザイリンクス株式会社	 株式会社ジーディップ・アドバンス	 株式会社SUSUBOX
	 特殊電子回路株式会社	 株式会社フィックスターズ	 わさらば合同会社	
大学 4	 東京工業大学	 筑波大学	 愛知工業大学	 信州大学
プラチナ 2	 ザイリンクス株式会社	 株式会社ジーディップ・アドバンス		
ゴールド 1	 アヴネット株式会社			
シルバー 12	 アイベックステクノロジー株式会社	 株式会社インテリジェント ウェイブ	 株式会社インターネットイニシアティブ	インテル株式会社
	 株式会社ゴフェルテック	 株式会社サイバーエージェント	 株式会社デンソーウェーブ	 株式会社フィックスターズ
	 GIGA-BYTE TECHNOLOGY CO., LTD	 Intellectual Highway合同会社	 株式会社SUSUBOX	TD SYNTEX株式会社
グリーン 7	株式会社イーツリーズ・ジャパン Chiptip Technology株式会社	株式会社インサイト 株式会社 TRIPLE-1	株式会社エッチ・ディー・ラボ 合同会社リトルウイング	株式会社ネフロック

活動トピックス

2024年度の活動は、2月にウェビナー、3月に技術交流会を予定しています。詳しくはACRIホームページをご覧ください。

www.acri.c.titech.ac.jp

